

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-245382  
(43)Date of publication of application : 19.09.1995

(51)Int.Cl.

H01L 27/12  
H01L 21/02  
H01L 21/20  
H01L 29/861

(21)Application number : 06-035126  
(22)Date of filing : 07.03.1994

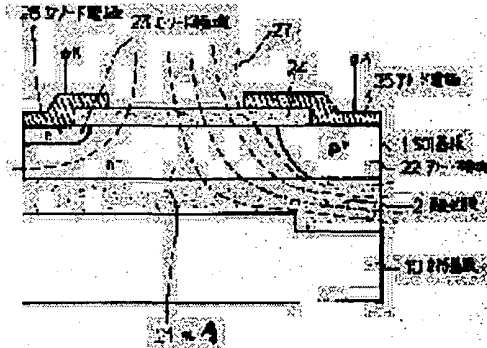
(71)Applicant : FUJI ELECTRIC CO LTD  
(72)Inventor : SHIMABUKURO HIROSHI  
HIRABAYASHI ATSUO

## (54) MANUFACTURE OF COMPOSITE ELEMENT AND LAMINATION SUBSTRATE

(57)Abstract:

**PURPOSE:** To acquire a composite element wherein a power element of high breakdown strength and an element of fast operation are formed on the same substrate by making a thickness of an insulation film irregular by thickening a part wherein an application voltage of an insulation film rises between a semiconductor substrate and a supporting substrate wherein a high breakdown strength element is formed.

**CONSTITUTION:** Impurities are selectively introduced from a surface to an SOI substrate 1 whose conductivity type is n-type, a diode structure is formed by providing a p<sup>+</sup>-anode region 22 and an n<sup>+</sup>-cathode region 23 having an n-layer 21 therebetween and a field oxide film 24, an anode electrode 25 and a cathode electrode 26 are arranged on a surface like usual. Furthermore, an oxide film 2 is made thick below the p<sup>+</sup>-region 22. Thereby, breakdown strength is improved. For example, even if  $t=1\mu\text{m}$ , element withstand voltage attains 400V by making  $T=4\mu\text{m}$ . According to this constitution, not only a diode but also a power element such as IGBT and a logic circuit can be manufactured in the same process simultaneously.



## LEGAL STATUS

[Date of request for examination] 22.04.1999  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number] 3298291  
[Date of registration] 19.04.2002  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-245382

(43) 公開日 平成7年(1995)9月19日

(51) Int.Cl.<sup>8</sup> 識別記号 庁内整理番号 F I 技術表示箇所  
H 0 1 L 27/12 B  
21/02 B  
21/20 8418-4M  
29/861  
H 0 1 L 29/ 91 D  
審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平6-35126

(22) 出願日 平成6年(1994)3月7日

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 島袋 浩

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72) 発明者 平林 温夫

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

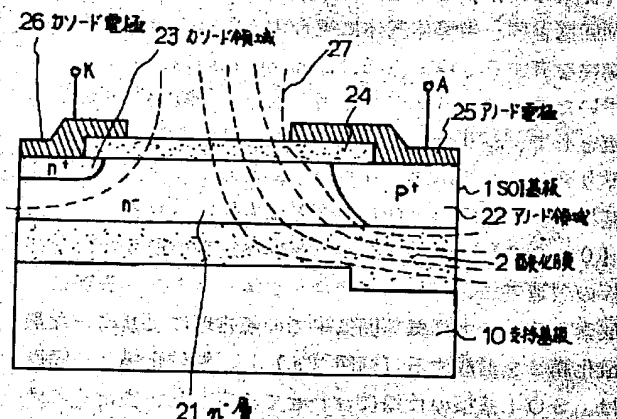
(74) 代理人 弁理士 山口 巖

(54) 【発明の名称】 複合素子および貼り合わせ基板の製造方法

(57) 【要約】

【目的】 高耐圧素子と高速素子とを含む複合素子を1枚のSOI貼り合わせ基板に形成可能にする。

【構成】 SOI基板の支持基板との間の絶縁膜の厚さを均一にしないで、高耐圧素子の下の高い電圧の印加される絶縁膜の部分を厚くする。そのようなSOI貼り合わせ基板は、支持用半導体基板の表面に凹部を加工し、その凹部を埋める酸化膜の表面に活性化水素を接触させて水素基を結合し、素子用半導体基板表面の水酸基を結合した酸化膜と重ね合わせ、熱処理して接着することにより製造する。



埋入厚膜部の形成対応電極が  
反対の方向で、これを駆動に  
対応する為には、上表面 = GND  
の方向に電圧を印加する。

## 【特許請求の範囲】

【請求項1】同一支持基板と絶縁膜によって絶縁された半導体基板に形成される高耐圧素子と高速素子とを含むものにおいて、絶縁膜の厚さが均一でなく、高耐圧素子の形成される半導体基板と支持基板との間の絶縁膜が印加電圧が高くなる部分で厚くされたことを特徴とする複合素子。

【請求項2】素子の形成される半導体基板と支持用半導体基板とからなる貼り合わせ基板の製造方法において、支持用半導体基板の一面上に加工により凹部を形成したのち、その凹部を埋める厚い部分を有する酸化膜によりこの面を覆い、その酸化膜と素子用半導体基板の一面を覆う酸化膜とを重ね合わせ、熱処理により接着することを特徴とする貼り合わせ基板の製造方法。

【請求項3】重ね合わせる前に、支持用半導体基板一面上の酸化膜の表面に水素基を結合させ、素子用半導体基板一面上の酸化膜の表面に水酸基を結合させる請求項2記載の貼り合わせ基板の製造方法。

【請求項4】支持用半導体基板の一面上の酸化膜表面をドライエッチングしたのち、光励起により活性化した水素を接触させることにより、前記酸化膜の表面に水素基を結合させる請求項3記載の貼り合わせ基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、高耐圧素子と高速素子とからなる複合素子およびその複合素子に用いる貼り合わせ基板の製造方法に関する。

## 【0002】

【従来の技術】電力用半導体素子を制御回路あるいは駆動回路と同一半導体基体に複合するため、十分な電気絶縁性を有するSOI（Silicon on Insulator）基板を用いた誘電体分離構造が採用される。一般的なSOI基板として、シリコンウエーハを酸化膜を介して接着した貼り合わせ基板が知られている。このような貼り合わせ基板は、高耐圧のIGBTなどにも用いられる。

【0003】図2（a）～（c）は従来の貼り合わせ基板の製造方法を示し、シリコンウエーハ10の表面に、酸素あるいは水蒸気雰囲気中での熱処理により均一な熱酸化膜2を形成する〔同図（a）〕。熱酸化膜2の膜厚は、SOI基板の仕様に合わせて決定され、またその時の熱処理条件も、一般的な条件で差支えなく、効率的な条件でよい。熱酸化した後にも十分に鏡面状態は保たれており、このままウエーハの鏡面同志を重ね合わせても密着性は高いが、例えば古川、新保、応用物理第60巻（1991）p. 790に記載されているように、洗浄活性化処理を行って重ね合わせた方が、ウエーハ表面に結合された水酸基（OH基）の働きにより、その後の熱処理による接着の均一性が良い。同図（b）に示したように重ね合わせた2枚のウエーハ10を、電気炉にて熱

処理する。温度は200～900℃、時間は1時間から10時間で、雰囲気は特に重要な因子ではない。シリコンとシリコン酸化膜の熱膨張係数が異なる点を考慮すると、比較的低温で処理した方が良いが、熱処理後に未接合部分であるボイドの発生がない事や、接着面が十分な強度を有しているかなど考慮しなければならない。このような手法による貼り合わせでは、貼り合わせ面が鏡面であること、表面を活性化処理することが、均一で広い面積を接合するためのポイントである。そのあと、素子を形成する側のシリコンウエーハ10を研磨し、素子を形成するために必要な厚さをもったSOI基板1を形成するが、その厚さは一般的には5～50μmであり、このように極薄であるため、一方のシリコンウエーハ10は、支持基板として役立つ〔同図（c）〕。全体の厚さは400～700μmであって、それ以後のLSI形成工程に回される。素子形成工程での発塵を抑えるために、SOI基板1の外周部はエッチングされ、支持基板10よりも若干面積が小さくなる。

## 【0004】

【発明が解決しようとする課題】上記のような工程で作られたSOI基板1は均一な厚さを持ち、支持基板10とは均一な厚さの酸化膜2によって絶縁されている。しかし、同一基板に電力用半導体素子とロジック回路を形成する場合、電力用素子は高耐圧で厚い半導体基体を必要とし、ロジック回路は高速動作を達成するためにできるだけ薄い半導体基板が望ましいが、この双方の要求を満足させることができない。貼り合わせの前に鏡面研磨を行う関係から、そのような厚さの異なるSOI基板をもち、共通の平らな表面をもつ貼り合わせ基板の製造は困難である。薄い半導体基板に高耐圧素子を形成する方策として横型半導体素子を採用することも考えられる。しかし、その場合、図3に示す問題がある。図3は横型ダイオードを示し、シリコン支持基板10と酸化膜2を介して接着されたSOI基板1のn<sup>-</sup>層21の一方の側にp<sup>+</sup>アノード領域22、他方の側にn<sup>+</sup>カソード領域23が形成され、フィールド酸化膜24に開けられた接触孔でアノード電極25、カソード電極26がそれぞれ接触している。電源の+極をK端子を介してカソード電極26に、-極をA端子を介してアノード電極25に接続し、ダイオードに逆方向バイアスを印加する。点線で示した等電位線27は、n<sup>-</sup>層21の表面部では、フィールド酸化膜24、アノード電極25、カソード電極26の最適化された耐圧設計により間隔を広げることができるが、等電位線27は支持基板10内には広がらないので、酸化膜2の中では密となってしまう。結果、高速素子のためのSOI基板と同様に薄い酸化膜2の上のSOI基板に横型ダイオードを形成しても、酸化膜2の中で電界強度が強くなるため、絶縁破壊が起こり、高い素子耐圧が得られない。

【0005】本発明の目的は、上述の問題を解決し、高

耐圧の電力用素子と高速動作の素子とを同一基体上に形成した複合素子およびそれに用いることのできる貼り合わせ基板の製造方法を提供することにある。

【0006】

【課題を解決するための手段】上記の目的を達成するために、請求項1に記載の本発明は、同一支持基板と絶縁膜によって絶縁された半導体基板に形成される半導体基板に形成される高耐圧素子と高速素子とを含む複合素子において、絶縁膜の厚さが均一でなく、高耐圧素子の形成される半導体基板と支持基板との間の絶縁膜の印加電圧が高くなる部分で厚くされたものとする。そのような複合素子に用いられることのできる、素子の形成される半導体基板と支持用半導体基板とからなる貼り合わせ基板の、請求項2に記載の本発明の製造方法は、支持用半導体基板の一面上に加工により凹部を形成したのち、その凹部を埋める厚い部分を有する酸化膜によりこの面を覆い、その酸化膜と素子用半導体基板の一面を覆う酸化膜とを重ね合わせ、熱処理により接着するものとする。重ね合わせる前に、支持用半導体基板一面上の酸化膜の表面に水素基を結合させ、素子用半導体基板一面上の酸化膜の表面に水酸基を結合させることが有効である。支持用半導体基板の一面上の酸化膜表面をドライエッチングしたのち、光励起により活性化した水素を接触させることにより、前記酸化膜の表面に水素基を結合させるのが良い方法である。

【0007】

【作用】支持基板との間の絶縁膜への印加電圧が高くなる高耐圧素子の部分は絶縁膜の厚さを厚くすることにより電界強度が緩和されるため、同一支持基板上の半導体基板に高耐圧素子を複合させることができる。このような絶縁膜の厚い部分は、支持基板の表面を加工して凹部を形成することにより作らねばならず、加工された面がかなり荒れてしまうため、その部分に形成される酸化膜の表面も荒れているが、その面に水素基を結合させると、この水素基と酸素基のある支持基板の表面の酸化膜は、従来技術のように水酸基の結合した素子用半導体基板の表面の酸化膜と熱処理により良好に接着する。

【0008】

【実施例】図1は、SOI基板に形成された本発明の一実施例の横型ダイオードを示し、図2、図3と共通の部分には同一の符号が付されている。導電形がn形のSOI基板1に、表面から選択的に不純物を導入してn<sup>-</sup>層21をはさむp<sup>+</sup>アノード領域22、n<sup>+</sup>カソード領域23を設けてダイオード構造を作り、表面上にフィールド酸化膜24、アノード電極25、カソード電極26を配置することは図3のダイオードと同様であるが、p<sup>+</sup>領域22の下で酸化膜2が厚くされている。これにより耐圧が向上することを図4に示したデータから示す。このデータは、図1と同様の構造の図5のダイオードにおいて、厚さt<sub>0</sub> 5 μmのSOI基板の下の酸化膜2の薄

い部分の厚さtが1 μm、2 μm、3 μmのもので、厚い部分の厚さTを変えた場合の素子耐圧である。酸化膜2の厚さtを厚くすれば素子耐圧は上昇しているが、素子作成工程の熱履歴で基板の歪みが発生しやすくなり、同一半導体基体に微細な論理回路は形成できない。しかし、例えばt=1 μmでもT=4 μmにすることにより、素子耐圧は400 Vに達し、このような構造にすることにより、ダイオードに限らずIGBTなどの電力用素子と論理回路を同一工程で同時に製造することができる。

【0009】次に、請求項2に記載の本発明のこのような電力用素子を形成できる貼り合わせ基板製造の実施例を図面を引用して説明する。図6(a)~(e)に示す製造工程では、図2(a)と同様にシリコンウエーハ10を熱酸化し、酸化膜2を形成する(同図(a))。次にそのようなウエーハの少なくとも1枚の表面にレジスト3のパターンを形成し、酸化膜およびシリコンをエッチングして溝4を形成する(同図6(b))。この溝は、前述の横型ダイオードにおけるように、高い電圧の印加されるようになる酸化膜2の部分に形成する。次いで、レジスト3を除去し、洗浄してから、熱CVD法による酸化膜2を、溝4が十分に埋まるまで堆積後、ドライエッチングで平坦化する(同図6(c))。ドライエッチングの終点の検出は、時間で管理する方法、あるいはCVD膜2を形成する前にエッチング速度の異なる熱窒化膜を所期の厚さに形成してストップとする方法などがある。この段階でエッチングむらが無いように細心の注意が必要であるが、これまでの工程は、すでに開発されているLSIプロセス技術で対応可能なものである。

【0010】次に貼り合わせ前の洗浄処理の工程に移る。従来方法の場合は、液中での洗浄処理中に、酸化膜表面のSi-O-Si結合が切れ、Si-OH結合で終端された表面になる。洗浄法としてもいろいろと検討されているが、本質的には水酸(O-H)基で置換すればよく、一般的な塩酸過水(塩酸と過酸化水素の混合液)とアンモニア過水(アンモニアと過酸化水素の混合液)による洗浄で十分であった。しかしながら、図6(c)に示す片方が加工された面の場合、広い面にわたってボイド(未接合部)のない貼り合わせ基板を作ることは困難であった。そこで、加工を行ったウエーハについては、塩酸過水洗浄の後に、光励起したH<sub>2</sub>雰囲気中で数分間処理する工程を付加した。同処理後は、すみやかに図6(a)の工程のみを経て未加工のウエーハ10と密着させ、貼り合わせ熱処理を行う(同図(d))。熱処理は、比較的低温(200~400℃)で1~2時間と、比較的高温(700~900℃)で2~4時間の2段階処理を行う方が望ましい。

【0011】このようにして貼り合わせた図6(d)に示すウエーハを、赤外線透過強度差を利用した方法でボイドの発生状況を調べた結果、未加工同志を貼り合わ

せた場合と遜色のない良好なものであることが確認された。最終的には、従来通りSOI基板1の研磨、仕上げを行い、絶縁膜2の厚さが部分的に異なる貼り合わせSOI基板が得られた〔図6 (e)〕。

【0012】ここまでに至る経過について説明する。当初、貼り合わせがうまくいかないのは、一般的に考えられるように、溝4の加工を加えた表面はかなり荒れてしまい、密着性が悪くなったためと考え、機械研磨を試みた。シリコン酸化膜2つまりガラスの研磨はかなり高度な技術を要し、歩留まり、コスト面から実用的でないことが分かった。

【0013】さまざまな試行錯誤のうち、平坦化やレジスト・アッシングなどのドライプロセス工程により不良が発生すること、これら工程により形成されたダメージ層を希フッ酸で除去しても改善されないこと、また、鏡面の熱酸化膜でも希フッ酸によるエッチングで面の凹凸が顕著になり、ボイドが発生しやすくなることなどが分かった。一方で、上記加工を経たウエーハでも、相手側が鏡面のシリコン面であれば、ボイドの発生が無いことも分かった。

【0014】このような実験事実から、極端な平坦性が必ずしも必要ではなく、境界面の反応を高めることで、良好な貼り合わせウエーハを形成できることが分かった。本発明による貼り合わせ方法の要点を、図を用いて説明する。まず、ドライエッチングによる平坦化工程は、通常、グロープラズマ放電や、ECRプラズマにより行われる。その際、図7に示すように酸化膜2との境界層にシース31と呼ばれる強電界層が形成され、同空間により加速された正イオン32の働きで、酸化膜2の表面にダメージ層5を形成する。このダメージ層5は、極めて薄いが、アンモニア過水洗浄後の表面荒れ状態が、ドライプロセス工程を経ないものと比較して、明らかに異なることからその存在を確認できる。このダメージ層5は、準安定状態のガラス層と考えられ、通常よりSi-O-Si結合は弱いと考えられる。

【0015】前述のように加工されたウエーハ10には、塩酸過水洗浄のみを行い、光励起による水素ラジカル処理を行う。この処理は、真空チャンバ内にウエーハを設置し、H<sub>2</sub>ガスを10~500Paの圧力に調整しながら紫外線ランプを照射し、5~10分程度保持する。紫外線照射によりH<sub>2</sub>ガスが活性化し、図8に示すようにさまざまな種類の活性な水素基33が発生する。この水素基33は、ダメージ層5の表面の不安定なSi-O-Si結合を切り、酸化膜2の表面上にSi-H結合を多く形成して行く。先程のドライプロセスと異なり、ガスの電離がないため、ダメージを受けることなく反応がゆるやかに進む。通常グロープラズマ放電やECRプラズマ装置を改造し、ウエーハに中性のラジカルのみが到達するようにしても同様な効果がある。

【0016】相手側のウエーハの密着は、Si-H結合

が空気中の水分と反応しないうちに行い、熱処理工程に入る。図9に示すように、まず低温では、Si-Oと水素基の反応でSi-O-Si結合ができ、接着が進む。発生した水分は一時、酸化膜2中に蓄えられる。次に高温処理に移行する。ここでは、水分が拡散して抜けるが、その際、ダメージ層5の回復、流動性を助け、またSi-H結合部へ酸素を供給する。このような働きによりボイド部分が埋められ、良好な貼り合わせ基板を得ることができる。

10 【0017】この技術を応用すれば、鏡面加工が困難であったSiC基板や石英ガラスにも、同様に広い面積に渡って良好な貼り合わせが可能である。以上の実施例では、酸化膜が一部分厚い貼り合わせ基板の製造方法として、エッチングによるシリコン基板の加工とCVDによる酸化膜の埋め込みによる方法を示したが、応用する素子の仕様に合わせて、LOCOS技術、増速酸化を用いて製造コストを低減することも可能である。

【0018】  
【発明の効果】請求項1の本発明によれば、支持基板と貼り合わせたSOI基板に高耐圧素子を含む複合素子を形成する場合に中間の絶縁膜を高い電圧の印加される部分のみ厚くすることにより、高速素子を含む制御回路などの論理回路と同一基板に複合することが可能となった。請求項2の本発明によれば、このような複合素子に用いることのできるSOI貼り合わせ基板の製造に、厚い酸化膜を設ける凹部を加工した支持用半導体基板上の酸化膜の活性化に水素基を用いることにより、ボイドの発生を抑えた貼り合わせが可能となり、製造歩留まりの向上、低コスト化が可能となった。

30 【図面の簡単な説明】

【図1】請求項1の本発明の一実施例の複合素子のうちのダイオード部分の断面図

【図2】従来のSOI貼り合わせ基板の製造工程を(a)~(c)の順に示す断面図

【図3】従来の複合素子のダイオード部分の断面図

【図4】SOI基板の酸化膜の厚さをパラメータとしたダイオード素子耐圧と厚い酸化膜部分の厚さとの関係線図

【図5】図4のデータを得るためのダイオードの断面図

40 【図6】請求項2の本発明の一実施例の製造工程を(a)ないし(e)の順に示す断面図

【図7】請求項2の本発明の一実施例のドライプロセス工程の説明のための断面図

【図8】請求項2の本発明の一実施例の水素処理工程の説明のための断面図

【図9】請求項2の本発明の一実施例の熱処理工程の説明のための断面図

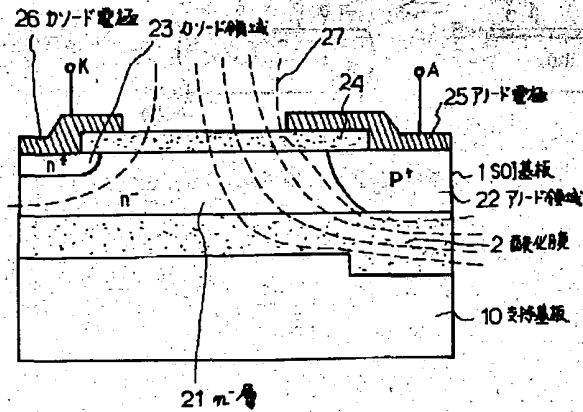
【符号の説明】

1 SOI基板

50 2 酸化膜

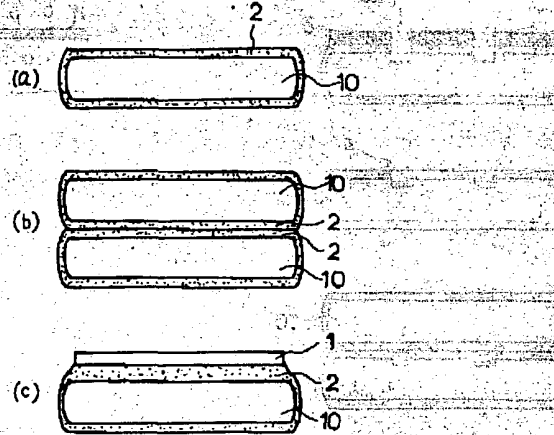
- 3 レジスト  
4 溝  
10 支持基板  
21  $n^-$  層

【図1】

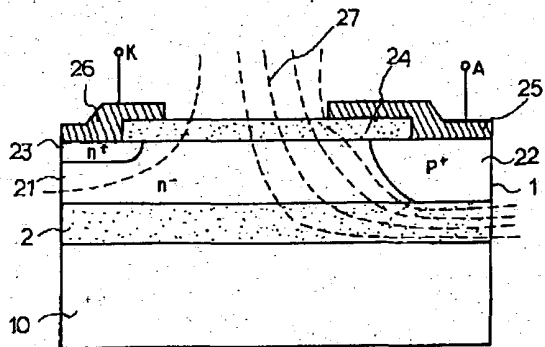


- 2.2  $p^+$  アノード領域  
2.3  $n^-$  カソード領域  
2.5 アノード電極  
2.6 カソード電極

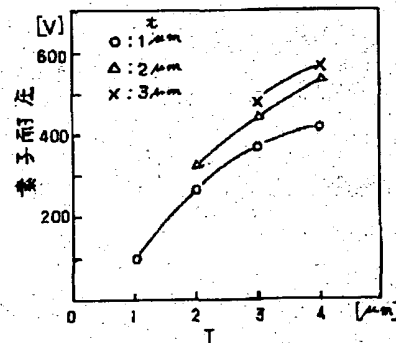
【図2】



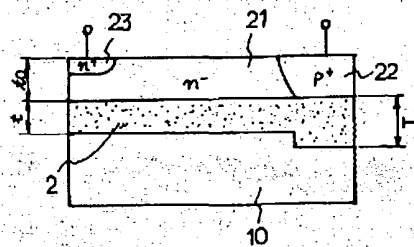
【図3】



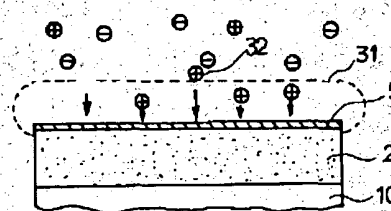
【図4】



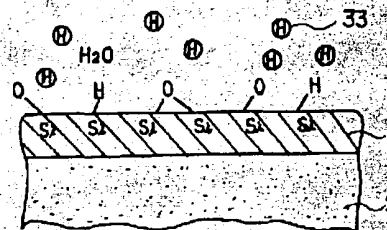
【図5】



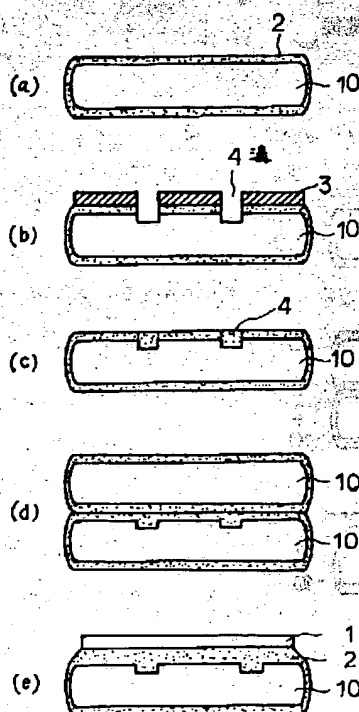
【図7】



【図8】



【図 6】



【図 9】

